

# METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Veröffentlichungsnummer JP9172068

Veröffentlichungsdatum: 1997-06-30

Erfinder: YOSHIIIE MASANOBU; OKAMURA KENJI

Anmelder: NIPPON ELECTRIC CO

Klassifikation:

- Internationale: **H01L21/302; H01L21/3065; H01L21/768; H01L23/522; H01L21/02; H01L21/70; H01L23/52;**  
(IPC1-7): H01L21/768; H01L21/3065

- Europäische:

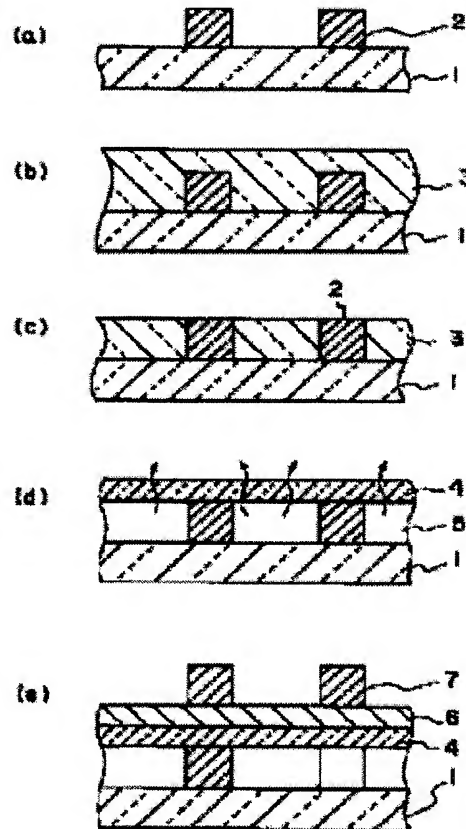
Anmeldenummer: JP19950328521 19951218

Prioritätsnummer(n): JP19950328521 19951218

Datenfehler hier melden

## Zusammenfassung von JP9172068

**PROBLEM TO BE SOLVED:** To reduce inter-wiring parasitic capacitance by a method wherein an organic resinous film is formed on a face of a first insulation film coated selectively with wiring, an organic film is thinned to expose the wiring face, after a sparse second insulation film is deposited on the entire face, a dense third insulation film is deposited, a space is provided between wirings with respect to each other. **SOLUTION:** After transistors, etc., are formed on a substrate, a silicon oxide film 1 is formed, and after a contact hole is formed, an Al film wiring 2 of a first layer is formed. After a resist film 3 of an organic resinous film is formed, the resist film 3 is etched until the Al wiring 2 is exposed. Continuously, an organic SOG film 4 is formed, so-called ashing is performed by O<sub>2</sub> plasma process, and the infer-wiring resist film 3 is removed to form a space 5. A dense silicon oxide system insulation film 6 low in a coefficient of contraction is formed. Carbon in the organic SOG film 4 is removed by the O<sub>2</sub> plasma process to make a sparse film, and O<sub>2</sub> plasma is invaded therethrough to perform ashing to the resist film 3, so that a space 5 can be formed and inter-wiring parasitic capacitance can be prevented.



Daten sind von der **esp@cenet** Datenbank verfügbar - Worldwide

3)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-172068

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	A
21/3065			21/302	H
			21/90	N
				S
				K
審査請求 有 請求項の数 4 O L (全 7 頁) 最終頁に続く				

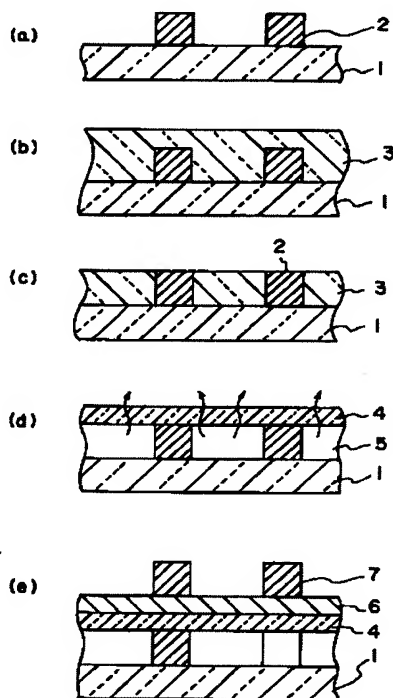
(21) 出願番号	特願平7-328521	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成7年(1995)12月18日	(72) 発明者	善家 昌伸 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	岡村 健司 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 同一層次の配線間に空間を設け、配線間の寄生容量を低減させる。

【解決手段】 同一層次の配線(2)を形成後、有機樹脂膜(3)を形成し、配線部分が露出するまで有機樹脂膜(3)を除去し、有機樹脂膜(3)上に有機SOG膜(4)を形成後、O<sub>2</sub> プラズマ処理等で有機SOG膜(4)を通して有機樹脂膜(3)を除去させて、膜収縮率の小さい絶縁膜(6)を形成する。この様にして配線間に空間(5)を形成する。



## 【特許請求の範囲】

【請求項1】 半導体基板の所定の第1の絶縁膜の表面を選択的に被覆して同一層次の複数の配線を形成する工程と、前記配線で選択的に被覆された第1の絶縁膜表面に有機樹脂膜を形成する工程と、前記有機樹脂膜を薄くして前記配線の表面を露出させる工程と、疎な第2の絶縁膜を全面に堆積する工程と、前記有機樹脂膜を除去する工程と、密な第3の絶縁膜を堆積する工程とにより前記配線相互に空間をも設けることを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の所定の第1の絶縁膜の表面を選択的に被覆して同一層次の複数の配線を形成する工程と、前記配線の表面及び側面を少なくとも覆う保護膜を形成する工程と、前記保護膜で選択的に被覆された第1の絶縁膜表面に有機樹脂膜を形成する工程と、前記有機樹脂膜を薄くして前記配線の表面を露出させる工程と、疎な第2の絶縁膜を全面に堆積する工程と、前記有機樹脂膜を除去する工程と、密な第3の絶縁膜を堆積する工程とにより前記配線相互に空間をも設けることを特徴とする半導体装置の製造方法。

【請求項3】 前記第2の絶縁膜が有機SOG膜であることを特徴とする請求項1又は請求項2記載の半導体装置の製造方法。

【請求項4】 前記有機樹脂膜を除去する工程から前記第3の絶縁膜を堆積する工程までを同一の製造装置内で行うことを特徴とする請求項1乃至請求項3のいずれか一に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に同一層次の配線間に空間を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年半導体装置において、高性能化のため多層配線化及び微細化が進んでいる。最小加工寸法0.3 $\mu$ mレベル以下の半導体装置にとって配線の寄生容量の増大は高速化にとって重大な問題である。同一層次の配線間容量は微細化に伴って増大するという重大な問題が起きてくる。

【0003】そこで、従来は配線相互間の寄生容量を低減させるために、例えば、特開昭63-313896号公報や特開平7-45701号公報に記載されている様な配線間に空間のある半導体装置が提案されている。

【0004】まず、図5及び図6を参照して、特開昭63-313896号公報に記載された、従来の配線間に空間のある半導体装置の製造方法（従来技術1）について説明する。

【0005】まず、シリコン基板16に層間絶縁膜のシリコン酸化膜を形成し、通常のリソグラフィ技術及びエッチング技術を用いて、所定の位置に第1層配線支持部

材17をパターンする（図5（a）参照）。次に第1層間絶縁膜18として、感光性ポリイミド有機物絶縁膜を塗布しプリベークした後、配線層間の第1層スルーホール19部分及び第1層配線支持部材17の上部を現像除去した後ポストベークする（図5（b）参照）。そして、第1層層間絶縁膜18上の全面に無電解銅メッキで銅の薄膜を形成した後、フォトリソをマスクとして電解銅メッキにより第1層配線20を形成する（図5（c）参照）。第1層配線支持部材17を形成する工程と同様に、第1層配線20の上の所定の位置及び形状で無機物絶縁材料からなる第2層配線支持部材21を形成する（図5（d）参照）。図5（b）と同様にして、第1層配線20の上に第2層層間絶縁膜22を形成し、第2層スルーホール23と第2層配線支持部材21の上部をエッチング除去する（図5（e）参照）。そして、第2層層間絶縁膜22上に第2層配線24を形成する（図5（f）参照）。これらの工程を繰り返して第3層配線27から第4層配線30を形成する（図6（g）参照）。最後に各層間絶縁層18、22、26、29をプラズマエッチング法あるいはヒドラジン等のエッチング液を用いたケミカルエッチング法により除去し、エアギャップ31を利用したエアギャップ配線を形成する（図6（h）参照）。

【0006】次に、図7を参照して、特開平7-45701号公報に記載された、従来の配線間に空間のある半導体装置の製造方法（従来技術2）について説明する。

【0007】まず、シリコン基板（図示せず）に層間絶縁膜の酸化シリコン膜1を形成し、通常のリソグラフィ技術及びエッチング技術を用いて、コンタクト孔（図示せず）を形成する。そして、図7（a）に示す様にスパッタリング技術を用いて第1層目のA1配線2を形成する。

【0008】次に、例えば回転塗布装置を用いて、半導体基板を冷却しながら、例えば氷膜32の様な固体膜を形成する（図7（b）参照）。次に、化学的機械研磨（CMP）法で第1層目のA1配線2が露出するまで、固体膜を研磨する（図7（c）参照）。次に、冷却プラズマCVD法を用いて低温で膜収縮率の大きな疎な酸化シリコン膜34を形成する。

【0009】その後、100～300℃に加熱し配線間の固体膜を、疎な酸化シリコン系絶縁膜34を通して、蒸発させる（図7（d）参照）。

【0010】そして、通常プラズマCVD法を用いて、疎な酸化シリコン絶縁膜34より熱処理による膜収縮の少ない密な酸化シリコン系絶縁膜6を形成する。次にスパッタリング法でA1膜を形成し、通常のリソグラフィ技術及びプラズマエッチング技術を用いて、第2層のA1膜配線7を形成する（図7（e）参照）。

【0011】以上の様にして、配線間に空間5を形成す

ることができる。

【0012】

【発明が解決しようとする課題】この従来の半導体装置の製造方法では以下の問題点がある。

【0013】まず、特開昭63-313896号公報に記載されている従来技術1の場合、配線間は空気からなり配線間の容量は低減できるが、配線と一部の配線支持材しかないので機械的強度は弱く、後の工程で配線が倒れ、配線の断線やパーティクルの発生等の問題が生じる。また、図6(h)に示す様に層間膜をエッチング液を用いたケミカルエッチング法やドライエッチング法で除去しているのでエアギャップ形成後、その後のパッシベーション膜を形成するまでに、水や大気にさらされるので配線下層の酸化シリコン系絶縁膜の層間膜が水分を吸収し、配線の信頼性が劣化する等の問題が発生する。また、図5及び図6で示す様に、絶縁物の配線支持材を用いるため、工程数が増え、かつ複雑になるという問題点もある。

【0014】また、特開平7-45701号公報に記載されている従来技術2の場合、第1の配線層と第2の配線層との間には、疎な絶縁膜と密な絶縁膜があるので、機械的強度もあり、また空間形成後に配線層が直接大気にさらされることが配線の信頼性を劣化させることも無い。しかし、冷却プラズマCVD法を用いる等低温プロセスを行う必要があり、装置が複雑になったり、成膜速度の低下による処理能力が小さい、ウェハの取り扱いが難しい等の問題があり、その結果生産性が悪いという欠点がある。

【0015】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板の所定の第1の絶縁膜の表面を選択的に被覆して同一層次の複数の配線を形成する工程と、前記配線で選択的に被覆された第1の絶縁膜表面に有機樹脂膜を形成する工程と、前記有機樹脂膜を薄くして前記配線の表面を露出させる工程と、疎な第2の絶縁膜を全面に堆積する工程と、前記有機樹脂膜を除去する工程と、密な第3の絶縁膜を堆積する工程とにより前記配線相互に空間をも設けるものである。

【0016】また、本発明の半導体装置の製造方法は、半導体基板の所定の第1の絶縁膜の表面を選択的に被覆して同一層次の複数の配線を形成する工程と、前記配線の表面及び側面を少なくとも覆う保護膜を形成する工程と、前記保護膜で選択的に被覆された第1の絶縁膜表面に有機樹脂膜を形成する工程と、前記有機樹脂膜を薄くして前記配線の表面を露出させる工程と、疎な第2の絶縁膜を全面に堆積する工程と、前記有機樹脂膜を除去する工程と、密な第3の絶縁膜を堆積する工程とにより前記配線相互に空間をも設けるものである。

【0017】前記第2の絶縁膜としては、有機SOG膜が適する。

【0018】また、前記有機樹脂膜を除去する工程から前記第3の絶縁膜を堆積する工程までを同一の製造装置内で行うようにすると良い。

【0019】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1(a)～(e)は本発明の第1の実施形態について製造工程に沿って説明するための工程順断面図である。

【0020】まず、図1(a)に示す様に、通常の方法を用いることで、シリコン基板(図示せず)に半導体装置に構成するのに必要な諸部分例えば、トランジスタ等を形成後、CVD法を用いて酸化シリコン膜1(第1の絶縁膜)を200～800nm程度形成する。次に通常のフォトリソグラフィ技術等を用いて、コンタクト孔(図示せず)を形成する。そして、スパッタリング技術を用いて、第1層目のA1膜配線2を形成する。

【0021】次に、例えば回転塗布装置を用いて、図1(b)に示す様に、有機樹脂膜、例えばポジ型レジストによく用いられるノボラック系樹脂のレジスト膜3を約0.5～2μm程度形成する。有機樹脂膜としては、ネガ型レジストで用いられるイソプレングム系のレジストを用いても良いし、他の有機系の樹脂膜でも良い。そして、通常の平行平板型のRIE装置を用いて、CF<sub>4</sub>とO<sub>2</sub>又はC<sub>12</sub>+O<sub>2</sub>のガス系で、A1配線2が露出するまでレジスト膜3をエッチバックする(図1(c)参照)。

【0022】引き続いて、回転塗布装置を用いて、通常の有機SOG膜(第2の絶縁膜)4を200～500nm成膜する。この後、必要に応じて通常の有機SOG膜形成と同様に加熱して溶剤を蒸発させる。有機SOG膜は、従来よく用いられているもので良い。

【0023】そして、図1(d)に示す様にO<sub>2</sub>プラズマ処理で、いわゆるアッシングを行って、配線間のノボラック系樹脂のレジスト膜3を除去する。この時O<sub>2</sub>プラズマ処理を行うことで、有機SOG膜4中の炭素が除去され疎な膜に変化して、その結果O<sub>2</sub>プラズマが有機SOG膜4中を通過してレジスト膜3を除去できるのである。

【0024】そして、例えば膜収縮率の少ない密な酸化シリコン系絶縁膜6(第3の絶縁膜)を、図1(e)に示す様に、200～1000nm成膜する。成膜方法として、シランと亜酸化窒素又はテトラエトキシシランと酸素を用いたプラズマCVD法がある。この様に形成される酸化シリコン系絶縁膜6は、900℃の窒素雰囲気中の処理で膜厚の収縮率が3%以下の膜質を示す密な膜である。次に、スパッタリング法を用いてA1膜を0.3～1μm成膜し、通常のフォトリソグラフィ技術及びドライエッチング技術を用いて、第2層のA1膜配線7を形成する。

【0025】以上説明した様に、本発明は、O<sub>2</sub>プラズ

マ処理を行うことで有機SOG膜4中の炭素を抜いて疎な膜として、その疎な有機SOG膜4を通して $O_2$  プラズマが侵入しレジスト膜3をアッシングして、配線間に空間5を形成するものである。空間には固体が無いので比誘電率は約1であり、酸化シリコン系膜の約4に比較して、約1/4に低減される。

【0026】また、本発明は従来技術1の様に絶縁膜の配線支持材を用いないため、配線支持材を形成する工程が不要になる等、工程数を少なくできるという効果もある。さらに、従来技術2の様に低温工程を用いる必要もなく、量産性が良いという効果がある。

【0027】この様に、本発明は多層配線化を行っても配線間寄生容量の低減が可能であり、かつ機械的強度も充分にあり、従来より微細配線および多層配線に対応できる。

【0028】次に、第2の実施形態について説明する。図2は、本発明の第2の実施形態を示す半導体装置の断面図である。本実施形態は、A1膜配線2及び7の周囲をそれぞれ窒化アルミニウム9a、9bで囲んだ構造である。窒化アルミニウム膜（保護膜）でA1膜配線を囲むことで、大電流をA1膜配線に流す場合のエレクトロマイグレーション等の耐性を上げ、配線の信頼性を第1の実施形態より一層向上させたものである。

【0029】本実施形態で、第1層目及び第2層目のA1膜配線2、7を形成後に、窒素またはアンモニアのプラズマ処理（いわゆるプラズマ窒化）でA1膜配線2、7の表面を窒化し、窒化アルミニウム膜9a、9bを1～50nm形成するほかは、第1の実施形態と同様である。プラズマ処理条件は、例えば、13.56MHzで350～450℃である。また、ランプアニーラー等を用いて、窒素又はアンモニア雰囲気中で、300～450℃に加熱することで、窒化アルミニウムを形成しても良い。また、保護膜としては、前述の窒化アルミニウム膜の代わりに、酸素雰囲気中で加熱することで、酸化アルミニウム膜を形成しても良い。

【0030】次に、第3の実施形態について説明する。図3は、本発明の第3の実施形態を示す半導体装置の断面図である。本実施形態は、A1膜配線2及び7の周囲をそれぞれ酸化シリコン系絶縁膜10a及び10b（保護膜）で囲んだ構造である。シランと亜酸化窒素あるいはテトラエトキシシランと酸素を用いてプラズマCVD法で、酸化シリコン系絶縁膜10a、10bをそれぞれ50～200nm形成することにより、A1膜配線の信頼性向上に効果があるが、A1膜配線間の間隔が小さくなると、第3の実施形態では配線間の空間5が酸化シリコン系絶縁膜で埋まるので、配線間の寄生容量低下の効果は減少している。半導体装置によって、第2又は第3の実施形態を用いるかを自由に決めれば良い。

【0031】なお、A1膜配線の周辺を囲む保護膜の種類を、第1層目は窒化アルミニウム膜、第2層目は酸化

シリコン系絶縁膜と、各層ごとに变化させても良い。

【0032】次に本発明を実施するための半導体製造装置を図面を参照して説明する。図4は本発明を実施するために用いられる半導体製造装置の模式図である。この半導体製造装置は、例えば、第1の実施形態において、 $O_2$  プラズマ処理する工程から密な絶縁膜を形成する工程までを同一装置内で行える様にしたものである。

【0033】本装置は、ウェハの出し入れ用インターロック室11、 $O_2$  プラズマ処理室13、密な絶縁膜形成用CVD室14、搬送ロボットのある移載室12、及びバルブ15-1～15-4から構成されている。

【0034】本装置を用いて本発明を実施する方法を以下に説明する。まず、第2の絶縁膜である有機SOG膜を形成後、ウェハをインターロック室11に入れ、移載室12を経由して、 $O_2$  プラズマ処理室13に入れる。第1の実施形態で説明した様に、 $O_2$  プラズマ処理を行って有機樹脂膜のレジスト膜3を有機SOG膜4を通して除去する。次に、ウェハを移載室12を経由してCVD室14に搬送し、第3の絶縁膜の密な酸化シリコン系絶縁膜6を形成する。

【0035】以上の様に、同一製造装置内で一連の工程を行うことで、 $O_2$  プラズマ処理でレジスト除去後、大気や水分等が第1層目のA1膜配線2表面に吸着するのを防止でき、再現性良く、信頼性の良い半導体装置が実現できる。

【0036】以上の様に、本発明の実施形態を説明したが、配線材料として、A1以外に、 $Al-Cu-Si$ 、 $Al-Cu$ のAl系の合金というまでもないが、W、Mo、Cu等の金属又は、シリサイド等の材料を用いても、本発明の効果は変わらない。また、例えばTiとTiNとAlからなる様な複数の配線材料から構成されている配線の場合でも本発明の効果は変わらない。

【0037】また、実施形態では密な絶縁膜として酸化シリコン系絶縁膜で説明したが、例えば、窒化シリコン膜、酸化窒化シリコン膜等の他の絶縁膜を用いても良い。

【0038】なお、本発明の実施形態では、2層配線構造で説明したが、1層構造、2層以上の構造に本発明を用いても良い。

【0039】さらに、本発明による多層配線の機械的強度を上げるために、同一層次の配線間にダミーの配線を設けるのも自由である。

【0040】

【発明の効果】以上説明した様に本発明は、同一層次の配線間に空間を形成することにより、多層配線にしても、従来みられた機械的強度の弱さによる配線の倒れが発生するという問題点も解決できるという効果がある。また、従来みられた様に絶縁物の配線支持部材を形成する必要もなく、工程数を少なくできるという効果もある。また、従来のように、エアギャップ形成後、大気や

水分にさらされることもなく、配線の断絶等の問題もなくなり、多層配線の信頼性も向上するという効果もある。

【0041】さらに、有機樹脂膜及び有機SOG膜を用いることで、従来みられた様に0℃以下の低温に保つという様なプロセスマージンが少なく、かつ半導体装置の製造装置価格が高いという問題点も解決できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を説明するため(a)～(e)に分図して示す工程断面図である。

【図2】本発明の第2の実施形態を説明するための半導体装置の断面図である。

【図3】本発明の第3の実施形態を説明するための半導体装置の断面図である。

【図4】本発明の第4の実施形態を説明するための半導体装置の製造装置の模式図である。

【図5】従来技術1を説明するため(a)～(f)に分図して示す工程断面図である。

【図6】従来技術1を説明するため(g)～(h)に分図して示す工程断面図である。

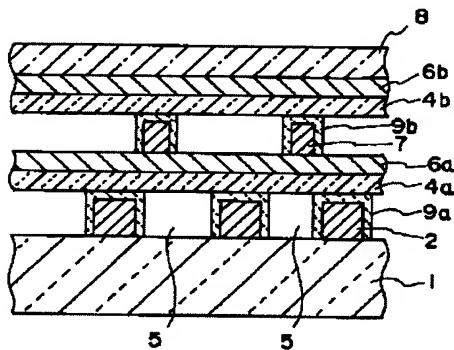
【図7】従来技術2を説明するため(a)～(e)に分図して示す工程断面図である。

【符号の説明】

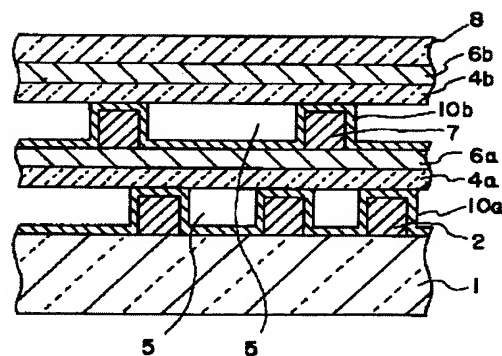
- 1 酸化シリコン膜
- 2 Al膜配線
- 3 レジスト膜
- 4 有機SOG膜
- 4a 有機SOG膜
- 4b 有機SOG膜
- 5 空間

- 6 密な酸化シリコン系膜
- 7 Al膜配線
- 8 パッシベーション膜
- 9a 窒化アルミニウム
- 9b 窒化アルミニウム
- 10a 酸化シリコン系絶縁膜
- 10b 酸化シリコン系絶縁膜
- 11 インターロック室
- 12 移載室
- 13 O<sub>2</sub> プラズマ処理室
- 14 CVD室
- 16 シリコン基板
- 17 第1層配線支持部材
- 18 第1層層間絶縁膜
- 19 第1層スルーホール
- 20 第1層配線
- 21 第2層配線支持部材
- 22 第2層層間絶縁膜
- 23 第2層スルーホール
- 24 第2層配線
- 25 第3層配線支持部材
- 26 第3層層間絶縁膜
- 27 第3層配線
- 28 第4層配線支持部材
- 29 第4層層間絶縁膜
- 30 第4層配線
- 31 エアギャップ
- 32 氷膜
- 33 水蒸気
- 34 疎な酸化シリコン系膜

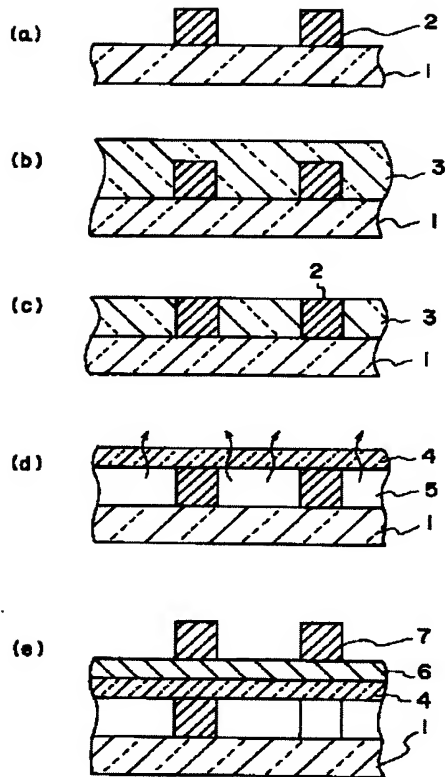
【図2】



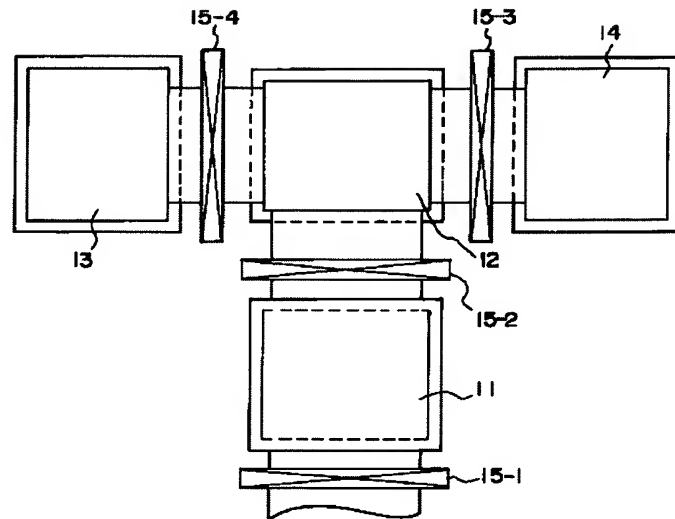
【図3】



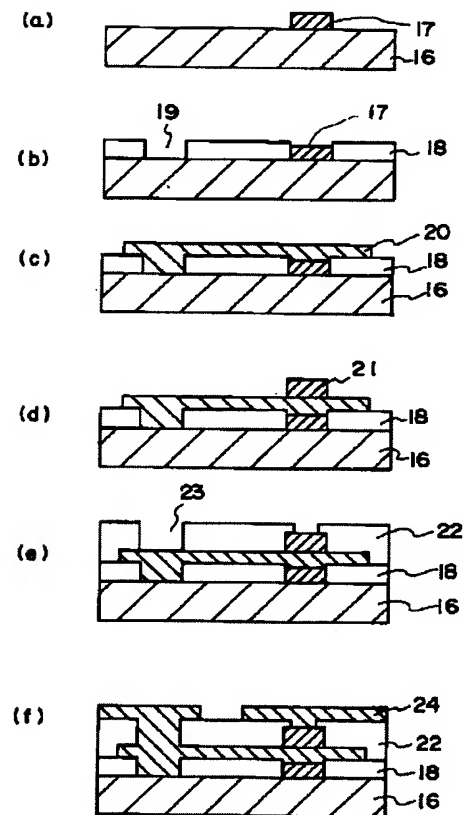
【図1】



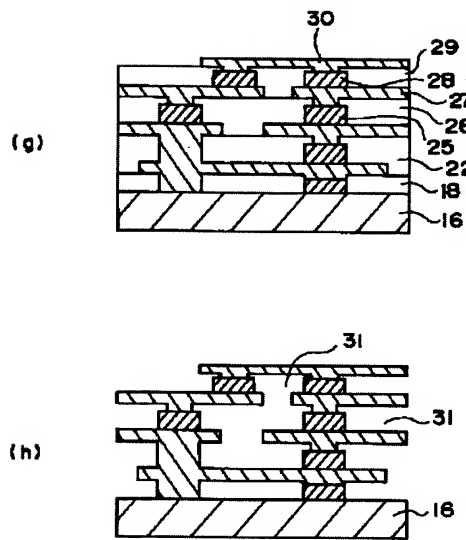
【図4】



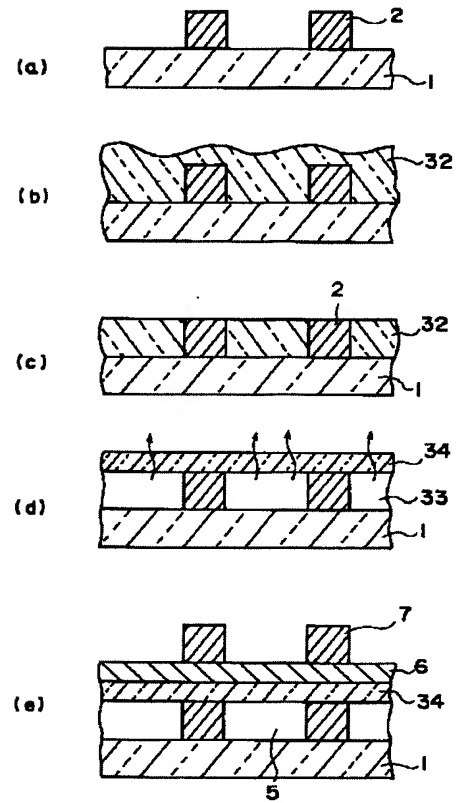
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

H 0 1 L 21/90

技術表示箇所

P